

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-368875

(43)Date of publication of application : 21.12.1992

(51)Int.Cl.

B41J 29/46

G03G 15/00

G03G 15/00

G06F 11/00

(21)Application number : 03-170521

(71)Applicant : RICOH CO LTD

(22)Date of filing : 15.06.1991

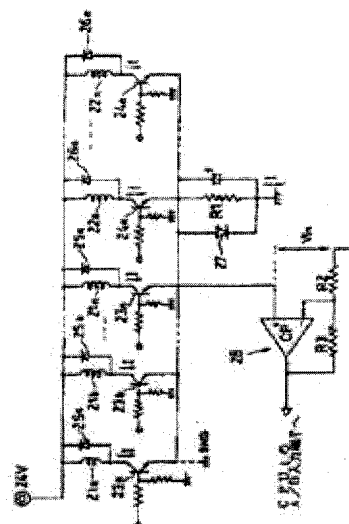
(72)Inventor : KIKUCHI HIDEO

(54) ABNORMALITY DETECTOR

(57)Abstract:

PURPOSE: To detect the abnormality of a plurality of drive parts at a low cost.

CONSTITUTION: The data showing normal supply currents flowing to solenoids 21a-21n being drive parts and clutches 22a-22n are respectively stored and transistors 23a-23n, 24a-24n are selected one by one to successively subject the corresponding drive parts to ON/OFF control and the supply current flowing to the drive part turned ON is detected and the detected data (the output value of a non-reversal amplifying circuit 28) is compared with data showing each stored normal supply current to check the abnormality of each drive part.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-368875

(43) 公開日 平成4年(1992)12月21日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J 29/46	G	8804-2C		
G 0 3 G 15/00	1 0 2	8004-2H		
	1 0 3	8004-2H		
G 0 6 F 11/00	3 1 0 Z	7832-5B		

審査請求 未請求 請求項の数 6 (全 10 頁)

(21) 出願番号 特願平3-170521

(22) 出願日 平成3年(1991)6月15日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 菊地 英夫

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

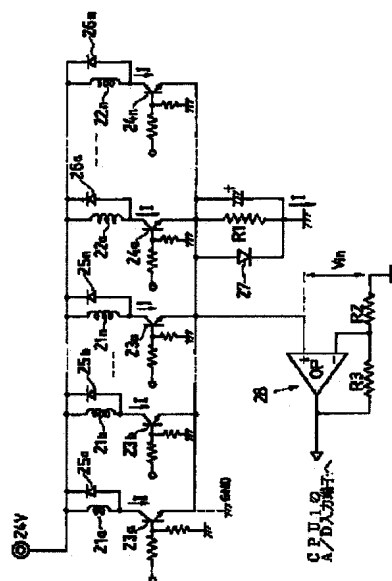
(74) 代理人 弁理士 大澤 敬

(54) 【発明の名称】 異常検出装置

(57) 【要約】

【目的】 複数の駆動部の異常検出を低コストで実現できるようにする。

【構成】 駆動部であるソレノイド21a~21n及びクラッチ22a~22nに流れる正常通電電流を示すデータをそれぞれ記憶しておき、各トランジスタ23a~23n及び24a~24nを1個ずつ選択して対応する駆動部を順次オン・オフ制御させ、オンになった駆動部に流れる通電電流を検出して、その検出データ(非反転増幅回路28の出力値)を記憶してある各正常通電電流を示すデータとそれぞれ比較することによって、各駆動部の異常チェックを行なう。



1

【特許請求の範囲】

【請求項1】 複数の駆動部をオン・オフ制御する複数の制御手段と、その各制御手段により前記各駆動部に通電される電流を検出する1個の検出手段とを備えたことを特徴とする異常検出装置。

【請求項2】 請求項1記載の異常検出装置において、前記各駆動部に通電される正常な電流値を示すデータをそれぞれ記憶する記憶手段と、前記制御手段の少なくとも1個を選択して対応する駆動部をオン・オフ制御させる手段と、該手段によってオンになった駆動部に通電される電流を前記検出手段によって検出して、その検出データを前記記憶手段内のデータと比較する手段とを設けたことを特徴とする異常検出装置。

【請求項3】 請求項1又は2記載の異常検出装置において、前記検出手段によって検出される電流の所定値以上をクランプする手段を設けたことを特徴とする異常検出装置。

【請求項4】 請求項1乃至3のいずれか一項に記載の異常検出装置において、前記検出手段が前記各駆動部に通電される電流を電圧に変換増幅する手段であることを特徴とする異常検出装置。

【請求項5】 請求項1乃至4のいずれか一項に記載の異常検出装置において、異常検出を行うための指示を外部より入力する手段を設けたことを特徴とする異常検出装置。

【請求項6】 請求項1乃至5のいずれか一項に記載の異常検出装置において、異常を検出した時にその異常状態を表示する手段を設けたことを特徴とする異常検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、レーザプリンタ等の各種プリンタ、複写装置、ファクシミリ装置等の画像形成装置を含む駆動部（負荷）をオン・オフ制御する装置における異常検出装置に関する。

【0002】

【従来の技術】 複写機等の駆動部をオン・オフ制御する装置においては、例えば特開昭63-193809号公報に見られるように、駆動部（ソレノイド、クラッチ、モータ等）の動作に応じてオン・オフするセンサやスイッチ類から出力される信号を監視して、駆動部の異常を検出するようにしたものがある。

【0003】

【発明が解決しようとする課題】 しかしながら、複写機のように多数の駆動部を使用する装置において、その各駆動部に対してそれぞれ異常検出用のセンサやスイッチ類を設けるとコストが大幅にアップしてしまうが、そうしないと全ての駆動部の異常検出を行えないという問題があった。

【0004】 この発明は上記の点に鑑みてなされたもの

2

であり、複数の駆動部の異常検出を低コストで実現できるようにすることを目的とする。

【0005】

【課題を解決するための手段】 この発明は上記の目的を達成するため、複数の駆動部をオン・オフ制御する複数の制御手段と、その各制御手段により前記各駆動部に通電される電流を検出する1個の検出手段とを備えた異常検出装置を提供する。なお、各駆動部に通電される正常な電流値をそれぞれ記憶する記憶手段と、上記制御手段の少なくとも1個を選択して対応する駆動部をオン・オフ制御させる手段と、該手段によってオンになった駆動部に通電される電流を記憶手段に記憶された正常な電流値と比較する手段とを設けることが望ましい。

【0006】 また、上記検出手段によって検出される電流の所定値以上をクランプする手段、上記検出手段によって検出される電流を電圧に変換増幅する手段、異常検出を行うための指示を外部より入力する手段、あるいは異常を検出した時にその異常状態を表示する手段等を設けるとよい。

【0007】

【作用】 この発明の異常検出装置によれば、例えば各制御手段が対応する駆動部を順次オン・オフ動作させ、オンになった駆動部に通電される電流を1個の検出手段が順次検出して、その各電流の大きさから個々の駆動部の異常チェックを行なう。例えば、各駆動部に通電される正常な電流値を示すデータをそれぞれ記憶しておき、上記制御手段を1個ずつ選択して対応する駆動部を順次オン・オフ制御させ、オンになった駆動部に通電される電流値を検出して、その検出データを記憶してある各正常な電流値を示すデータとそれぞれ比較することにより、個々の駆動部の異常チェックを行なえる。したがって、安価な異常検出装置を提供することができる。

【0008】 なお、システムとして動作している時に複数の駆動部が同時にオンになると、その通電電流検出用の抵抗により大きな電圧ドロップが発生して、各駆動部の駆動能力が低下するが、駆動部の異常検出を行なう時には各駆動部の電圧ドロップを個別に検出できればよいので、上記検出手段によって検出される電流の所定値以上をクランプすることにより、各駆動部に供給する電圧低下を防止することができる。

【0009】 また、上記電圧ドロップを極力抑えたい場合には、駆動部の異常検出を行なう時にその検出が困難になるので、各駆動部に流れる電流を電圧に変換増幅してその電圧ドロップを検出するとよい。さらに、異常検出を行なうための指示を外部より入力したり、異常を検出した時にその異常状態を表示する手段を設けることにより、より有効な異常検出装置を提供できる。

【0010】

【実施例】 以下、この発明の実施例を図面に基づいて具体的に説明する。図2はこの発明の一実施例である複写

装置における制御システムの概略を示す回路図である。

【0011】この制御システムは、複写装置本体側に備えられたマイクロコンピュータ（以下「CPU」と略称する）1、ROM2、不揮発性メモリ回路3、3つのI/OインタフェースLSI4~6、駆動部異常検出回路7、ラッチ回路8、デコーダ9、電源電圧監視回路(RST)10、及びテストモードスイッチ11等からなる主制御部と、多数のキーを有する操作部16と多数の表示器を有する表示部17とからなる操作・表示部側に備えられたCPU12、ドライバ13、14、及びバッファ15等からなる制御部などによって構成されている。

【0012】CPU1は中央処理装置、ROM、RAM、I/Oインタフェース、タイマ機器等からなるマイクロコンピュータであり、複写装置全体を統括制御する。ROM2はCPU1のバスラインに接続された読み出し専用メモリであり、主として複写装置の制御に必要な主制御プログラムの他に、駆動部の異常チェックプログラムが格納されている。

【0013】I/OインタフェースLSI4~6はそれぞれプログラマブルI/Oを内蔵し、並列データの入出力動作をプログラムで選択して指定することができるようになっている。

【0014】このI/OインタフェースLSI4~6の出力ポートには、複写装置を制御するためのクラッチ、ソレノイド、モータ、チャージャ等の各種のリアルタイム・クロック負荷（駆動部）が接続されている。この各出力ポートは、CPU1からの信号によりビット単位でオン・オフ制御され、それによって各駆動部へオン・オフ信号を出力する。また、I/OインタフェースLSI4~6の各入力ポートには、複写装置を制御するための各種のセンサやスイッチが接続されている。CPU1は、そのセンサやスイッチからの信号により複写シーケンスを制御する。

【0015】ラッチ回路8は、下位アドレスを指示するデータを発生させてROM2あるいは不揮発性メモリ回路3に入力させる。デコーダ9は、CPU1からの指示に応じたデコード信号を出力し、不揮発性メモリ回路3あるいはI/OインタフェースLSI4~6を選択的にイネーブル状態にする。電源電圧監視回路(RST)10は電源電圧(Vcc)を常時監視し、電圧の低下を検出すると、出力信号RESETをローレベル“L”にする。

【0016】CPU12は1チップのマイクロコンピュータであり、中央処理装置、ROM、RAM、I/Oインタフェース、タイマ機器等が内蔵されている。このCPU12は、CPU1とシリアル信号の送受信を行ない、操作部16のキー操作に応じたキー入力信号をCPU1へ出力したり、CPU1からの表示指示信号に基づいて表示部17の各表示器に所定の表示を行なわせる。なお、操作部16の各キーは実際には図3に示すように

スイッチSWとダイオードDとからなり、表示部17の各表示器は図4に示すようにLEDからなる。

【0017】図1は、図2の駆動部異常検出回路7の詳細を示す回路図である。この回路において、21a~21nはソレノイド、22a~22nはクラッチ、23a~23n及び24a~24nはトランジスタ、25a~25n及び26a~26nはダイオードである。トランジスタ23a~23n及び24a~24nは、駆動部であるソレノイド21a~21n及びクラッチ22a~22nをオン・オフ制御するためのトランジスタであり、ダイオード25a~25n及び26a~26nは、ソレノイド21a~21n及びクラッチ22a~22nの逆起電力を吸収するためのダイオードである。

【0018】いま、図2におけるCPU1によってI/OインタフェースLSI4が選択され、そのI/Oポートより選択されたトランジスタへオン信号が出力されると、そのトランジスタがオン状態になり、対応する駆動部（ソレノイド又はクラッチ）に通電される。なお、従来はその駆動部に通電される電流Iは破線で示す経路を介してグラウンドGNDに流れていた。

【0019】ここで、その通電電流Iは次式によって求めることができる。

$$I = (24V - V_{ce}) / \text{コイル抵抗}$$

但し、Vceはトランジスタのオン時のコレクタ・エミッタ間電圧である。この実施例においては、この通電電流Iを抵抗R1に流して、IにR1（抵抗値）を乗じた電圧Vin（I×R1）を発生させ、この電圧Vinにより駆動回路、駆動部、電源、あるいは図示しないコネクタの接続状態等を個別に検出する。

【0020】なお、駆動部が正常に動作している時には、トランジスタが複数同時にオンしている。したがって、その通電電流Iも大きくなり抵抗R1により発生する電圧Vinも大きくなるが、その電圧Vinが大きくなりすぎると、駆動部が正常に動作しなくなる。そこで、電圧Vinが所定電圧（ここではダイオード27の順電圧Vd）を超えないように、余分な電流をダイオード27を通してグラウンドに流す。すなわち、電圧Vinをダイオード27により0.6~1.0Vにクランプする。

【0021】なお、駆動部1個に流れる通電電流が最高の場合でも、 $V_d > R_1 \times I$ の関係が成り立つようにR1を決定しておけばよい（異常チェックの場合にはクラッチ又はソレノイドを個別に選択する）。また、駆動部の数が少ない場合あるいは複数の駆動部が同時に通電されることがないような場合には、ダイオード27は不要である。

【0022】抵抗R1による電圧ドロップを極力抑えたい場合にはその抵抗R1の抵抗値を小さくし、電圧Vinを増幅する回路が必要になるが、その回路としてこの実施例では非反転増幅回路28を設けており、それによって電圧Vinは、

$V_{in} \times (1 + R3/R2)$

に増幅されて、CPU1のA/D入力端子(A/D入力ポート)に入力される。したがって、CPU1が駆動部であるソレノイドあるいはクラッチが正常に動作している時の通電されるその個々の電流値を示すデータを記憶しておき、異常チェック時にこの記憶したデータとA/D入力端子に入力されるデータとを比較することによって、各駆動部の異常検出を行なうことができる。

【0023】なお、駆動電圧、抵抗R1、及びその抵抗R1による電圧ドロップを大きくして、直接CPU1のA/D入力端子に入力してもよい。但し、この場合には抵抗R1のワット数を大きくする必要がある。

【0024】図5は、電圧Vccがオフの時、内部のステイックRAM(以下「SRAM」と略称する)を電池でバックアップするようにした不揮発性メモリ回路3の詳細を示す回路図である。この不揮発性メモリ回路3において、SRAM31には各コピープロセス毎にその処理に必要な各処理パラメータ(コピー条件)が逐次書き込まれ、必要に応じて読み出される。このSRAM31の不揮発性メモリ領域に各駆動部が正常な時の通電電流値を示すデータが記憶される。このSRAM31の入出力端子にはCPU1のデータバスが接続されており、アドレス入力端子にはCPU1のアドレスバスが接続されている。

【0025】このSRAM31に入力されるデータは、CPU1からの/WR信号(「/」はローアクティブを表す)によって同じくCPU1により指定されたアドレスに書き込まれる。また、記憶されているデータのうち、CPU1からの/RD信号によって同じくCPU1により指定されたアドレスに記憶されたデータが読み出される。

【0026】いま、図2における電源電圧監視回路10が電圧(Vcc)の低下を検出すると、その出力信号RESETが“L”になってトランジスタ32がオフになり、トランジスタ33もオフとなって、SRAM31の電源及び時計用IC34の電源がバックアップ用電池35に切り替えられる。また、トランジスタ32がオフになることにより、トランジスタ36もオフになり、SRAM31及び時計用IC34のチップイネーブル入力端子(CS2, CE)への信号が“L”になり、SRAM31及び時計用IC34に対する書き込み及び読み出し動作が禁止される(バックアップ状態になる)。

【0027】図6及び図7は、この実施例における図2のCPU1によるこの発明に係わる異常検出処理を示すフローチャートである。なお、ここではクラッチに対する異常検出処理を省略する。また、各ソレノイド及びセンサとI/OインタフェースLSI4〜6との間には図8に示すようなコネクタ41, 42が設けられているものとする。

【0028】このルーチンは図示しないメインルーチンによって周期的にコールされてスタートし、まず図2のテストモードスイッチ11がオン状態の場合あるいは操作・表示部より異常検出の指示入力があった場合に、A/D入力ポートより各ソレノイドが通電される前のデータDATA0(図1の非反転増幅回路28の出力信号)を読み込む。

【0029】次いで、ソレノイド(SOL)21aを選択して、それをオン状態にさせるための信号をI/OインタフェースLSI4に出力し、A/D入力ポートよりソレノイド21aに通電される電流値を示すデータDATA1(図1の非反転増幅回路28の出力信号)を読み込んだ後、ソレノイド21aをオフにするための信号をI/OインタフェースLSI4に出力する。以下、上述と同様な処理をソレノイド21b〜21nに対しても順次実施する。

【0030】その後、検出したデータDATA1〜DATANとDATA0とを順次比較し、その各データDATA1〜DATANとDATA0が全て同じ、つまり全てのソレノイド21a〜21nが通電状態にならない場合には、各センサからの信号の入力処理を行なった後、その各センサからの信号が入力されているか否かをチェックし、センサ信号が入力されている場合には駆動部への電源が供給されていないことになるので、駆動部電源異常を示す信号を操作・表示部側のCPU12へ出力し、センサ信号が入力されていない場合にはコネクタ接続異常を示す信号をCPU12へ出力する。

【0031】一方、個々のソレノイドに通電される電流値を示すデータDATA1〜DATANとDATA0とが異なる場合には、データDATA1〜DATANと予め記憶設定してある個々の正常な通電電流値を示すデータとを比較し、両者が異なる場合にはそれに対応したソレノイドの異常を示す信号を操作・表示部側のCPU12へ出力して、表示部17に異常が生じたソレノイドの番号を表示させる。

【0032】このように、この実施例によれば、駆動部そのものに異常が生じた場合は勿論、駆動部に供給されている電源に異常が生じたり、製造工程時あるいはメンテナンス時のコネクタの挿入忘れによりコネクタ接続異常が生じた場合でも、それらの異常チェックを簡単な回路を用いて行なうことができる。また、それによってサービスのメンテナンス時間が短縮し、且つ製造工程の生産性や信頼性を向上させることもできる。

【0033】さらに、検出する駆動部の通電電流の所定値以上をクランプし、しかもその通電電流を電圧に変換増幅して、駆動部の異常検出(電圧の低下)を行なうので、各駆動部に供給される電圧の低下を確実に防ぐことができ、その各駆動能力を適正に保持することができる。さらにまた、外部より異常検出を行なうための指示

い、しかもその異常検出時にその異常状態を表示するので、動作異常が発生した時にその原因を効率よく究明することができる。

【0034】また、機械納入時あるいは検査時に全ての駆動部が正常に動作しているか否かをチェックするのが困難なシステムもあるが、この実施例によると他の一連のテストモードと同一レベルで自動的に異常検出を行なうこともできるので、品質及び信頼性が一層高まる。

【0035】以上、この発明を複写装置における異常検出装置に適用した実施例について説明したが、この発明はこれに限らず、レーザプリンタ等の各種プリンタやファクシミリ装置等の画像形成装置を含む駆動部（負荷）をオン・オフ制御する装置における異常検出装置に適用可能である。

【0036】

【発明の効果】以上説明してきたように、この発明の異常検出装置によれば、複数の駆動部の異常検出を低コストで実現することができる。

【図面の簡単な説明】

【図1】図2の駆動部異常検出回路7の詳細を示す回路図である。

【図2】この発明の一実施例である複写装置における制御システムの概略を示す回路図である。

【図3】図2の操作部16のキーを説明するための説明図である。

【図4】図2の表示部17の表示器を説明するための説明図である。

【図5】図2の不揮発性メモリ回路3の詳細を示す回路

図である。

【図6】この実施例における図2のCPU1によるこの発明に係わる異常検出処理の一部を示すフロー図である。

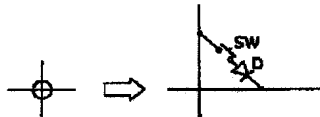
【図7】図6の異常検出処理の続きを示すフロー図である。

【図8】この実施例の作用説明に供する回路図である。

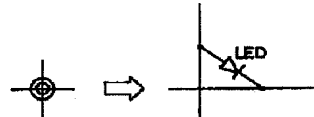
【符号の説明】

- | | |
|------------------------------|-------------------|
| 1, 12 CPU | 2 ROM |
| 3 不揮発性メモリ回路 | 4~6 I/OインタフェースLSI |
| 7 駆動部異常検出回路 | 8 ラッチ回路 |
| 9 デコーダ | 10 電源電圧監視回路(RST) |
| 11 テストモードスイッチ | 13, 14 ドライバ |
| 15 パッファ | 16 操作部 |
| 17 表示部 | 21a~21n ソレノイド |
| 22a~22n クラッチ | |
| 23a~23n, 24a~24n, 32, 33, 36 | トランジスタ |
| 25a~25n, 26a~26n, 27 | ダイオード |
| 28 非反転増幅回路 | 31 スタティックRAM |
| 34 時計IC | 35 バックアップ用電池 |
| 41, 42 | コネクタ |

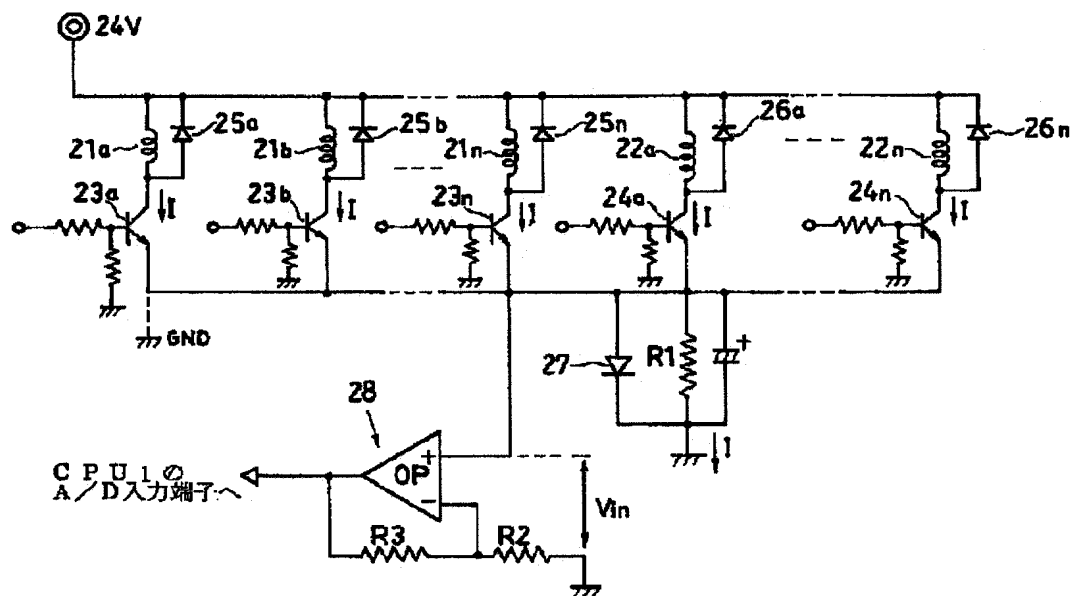
【図3】



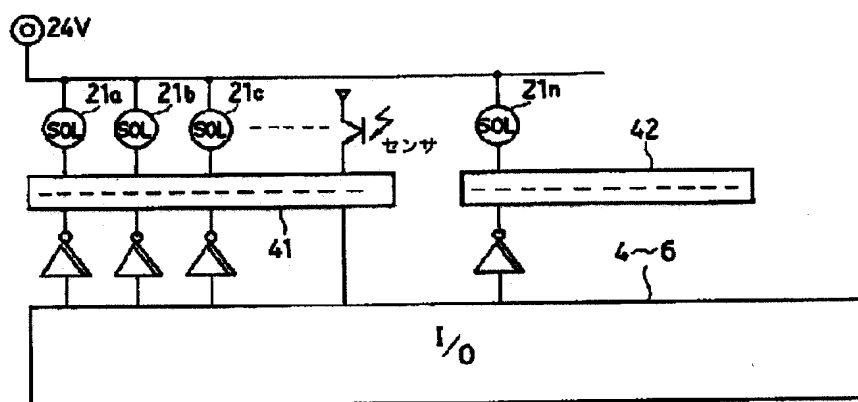
【図4】



【例 1】



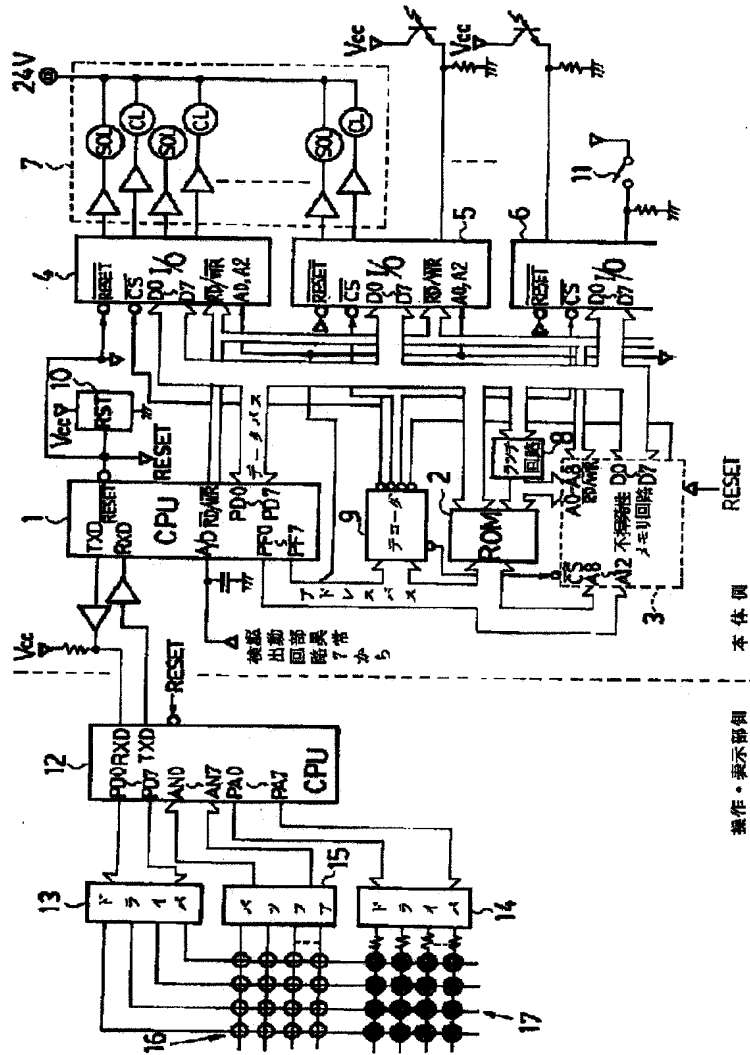
【图8】



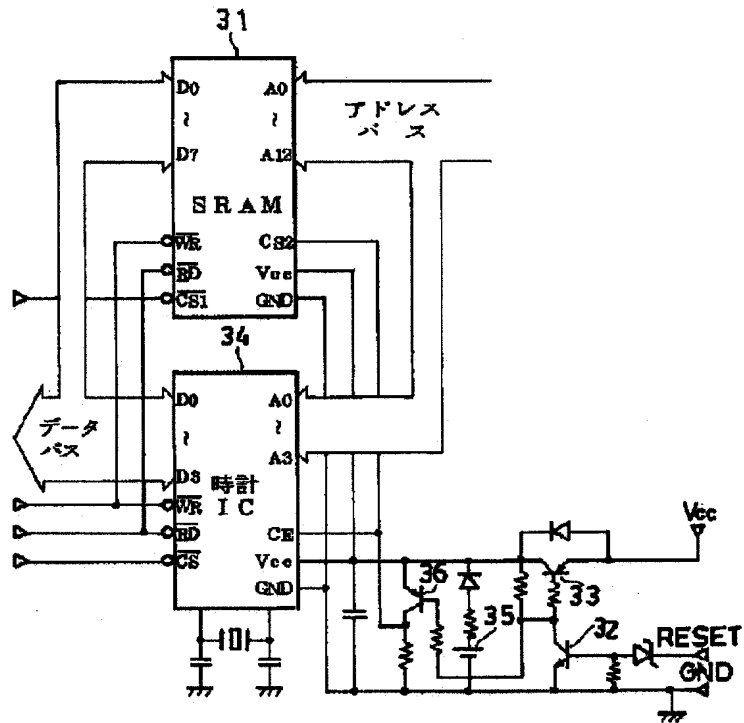
(7)

特開平4-368875

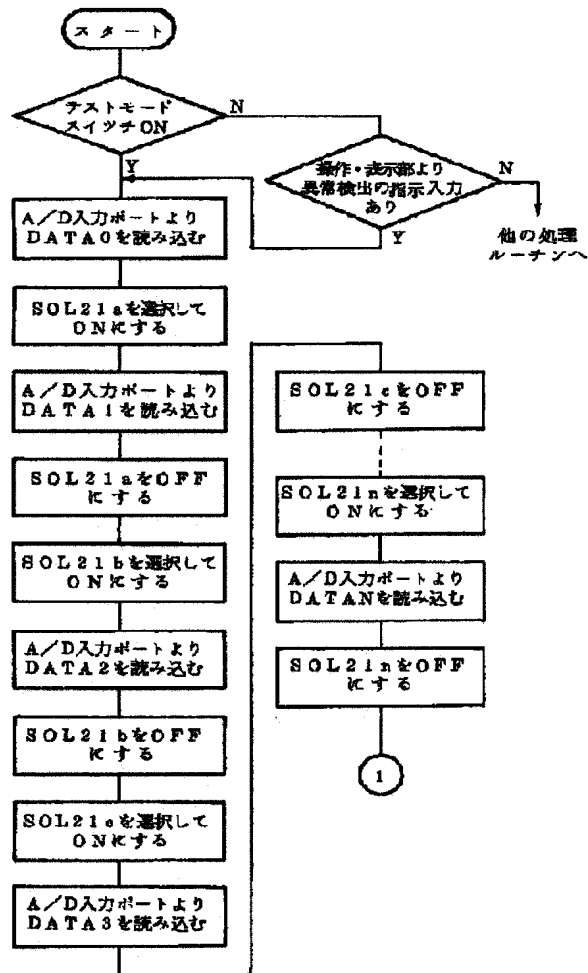
【図2】



【図5】



【図6】



【図7】

